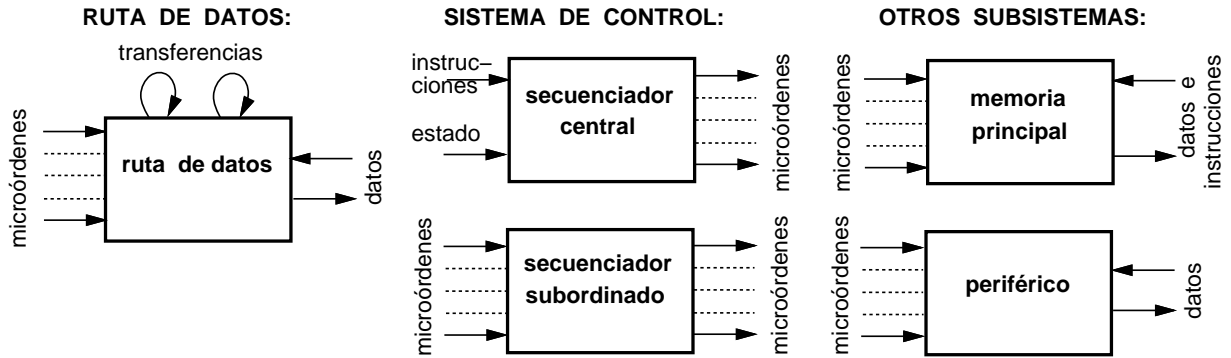


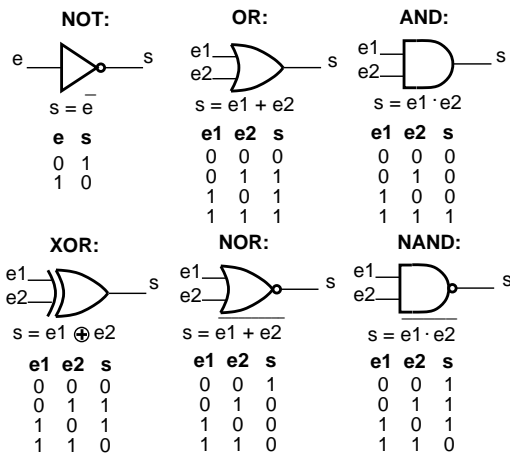
Modelo estructural abstracto

Un punto de vista más general que el modelo estructural de bloques (UAL, MP, periféricos, buses, UC):

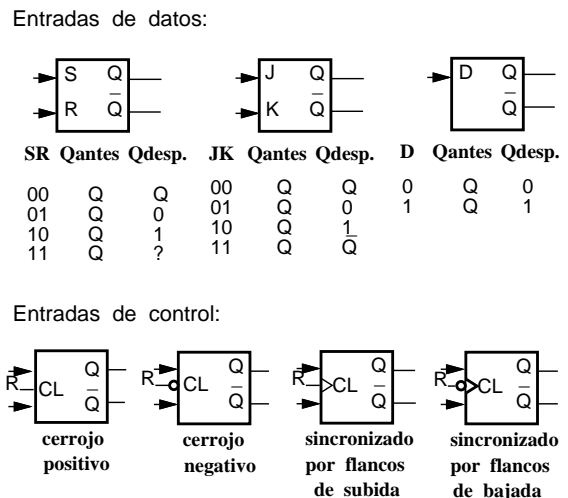


Componentes en el «nivel de bit»

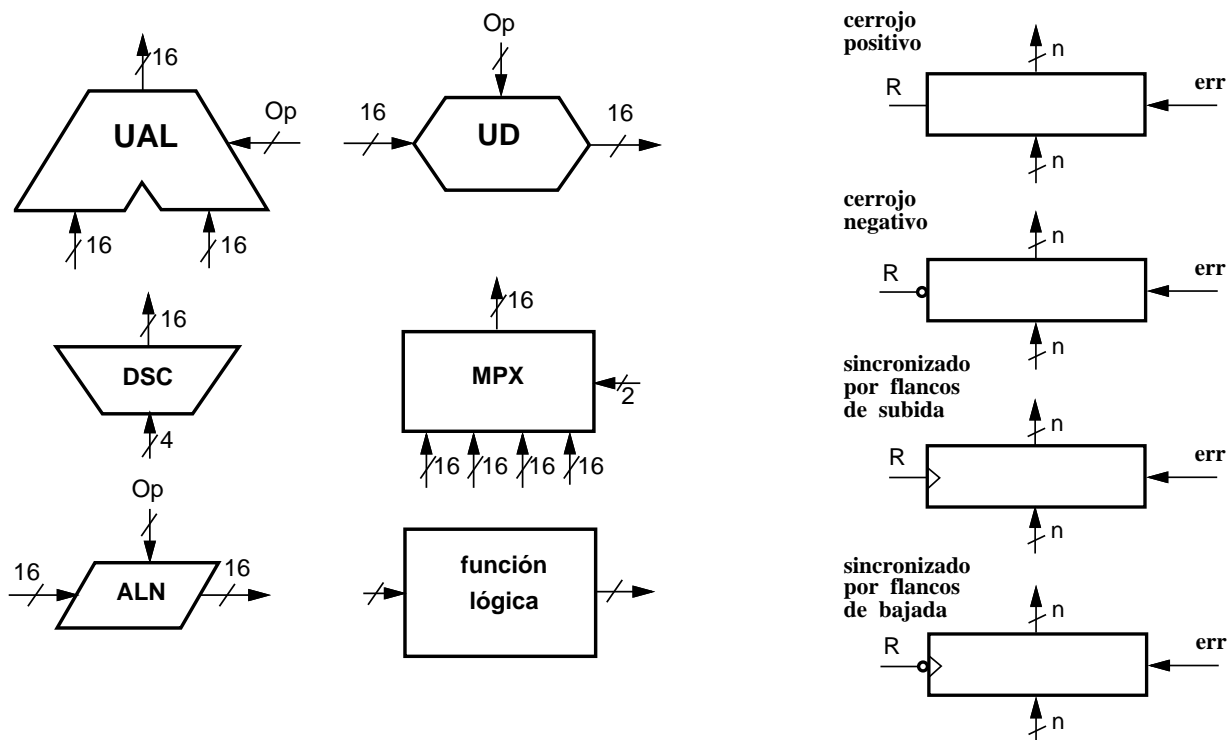
♣ Puertas:



♣ Biestables:



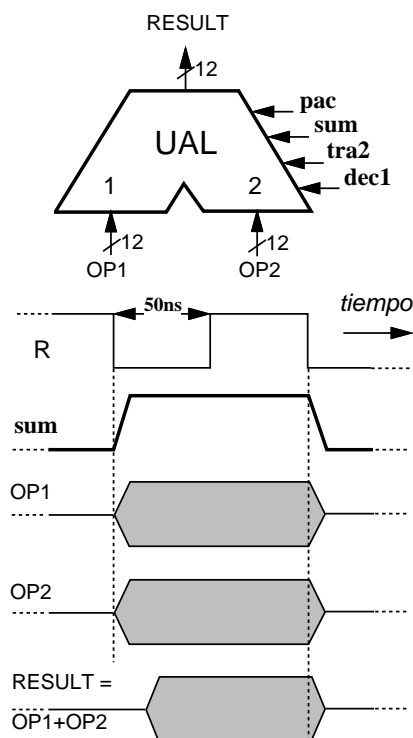
Sistemas combinacionales y registros



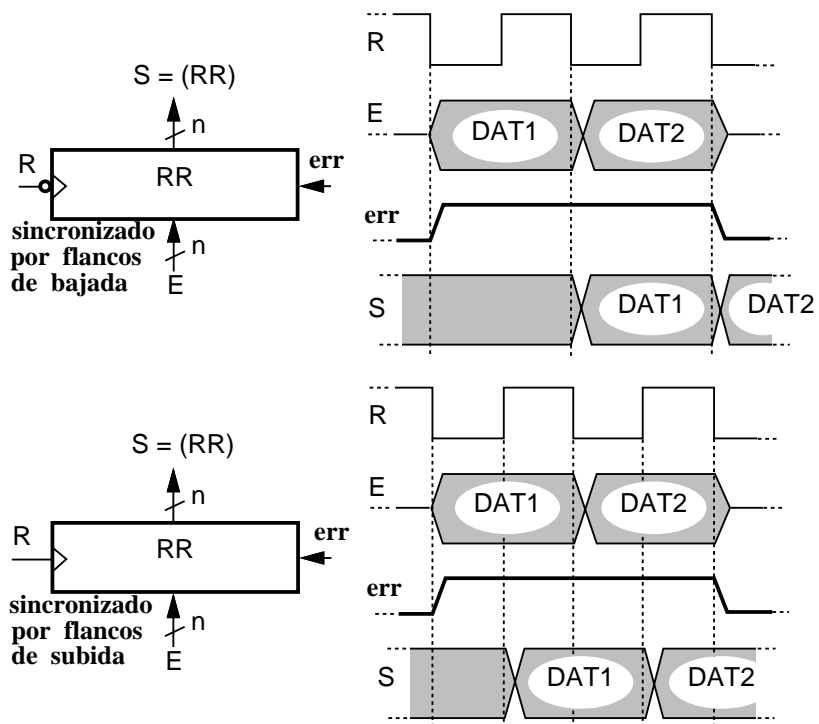
UAL de Símplez

12 etapas de sumador construidas con puertas (nivel de circuito lógico)

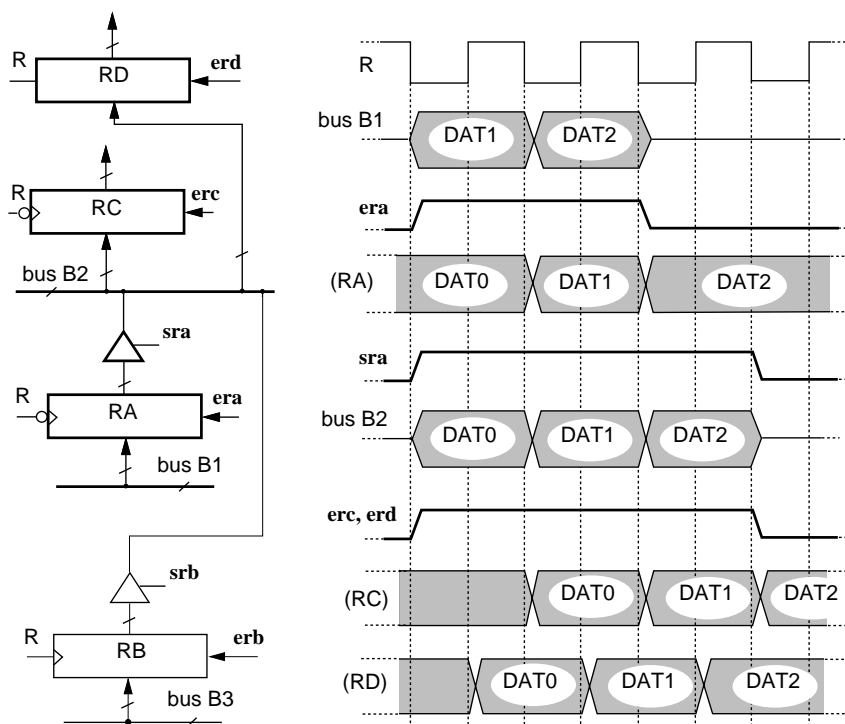
Descripción funcional:



Registros sincronizados por flancos

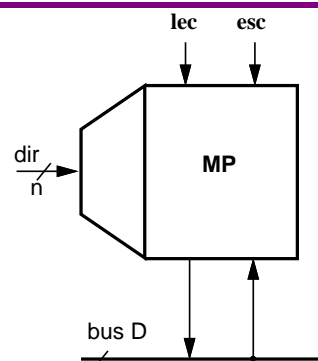


Conexiones a través de buses



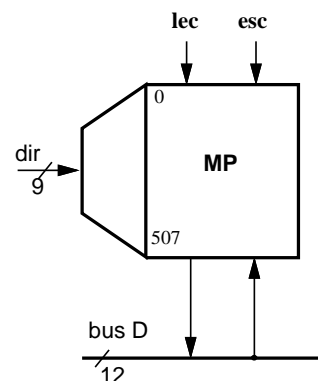
Memoria principal

- Capacidad: 2^n
- Tpo. acc. lectura, T_{AL}
- Tpo. acc. escritura, T_{AE}
- Ciclo de memoria, $T_{CL} = T_{CE}$
- Tiempo entre «dir» y «lec/esc», T_m
- En memorias dinámicas, «refresco»

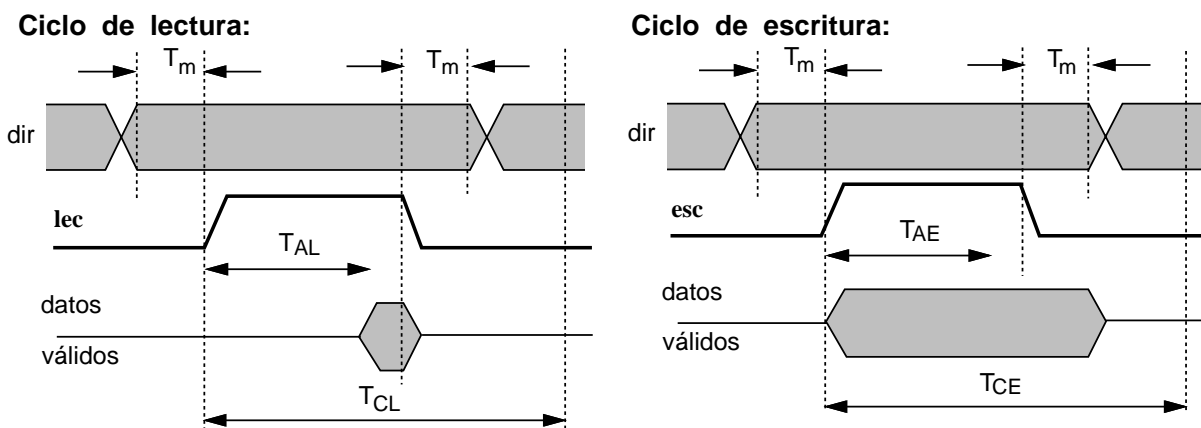


MP de Símplez:

- Capacidad: $2^9 = 512$ (508)
- $T_{AL} = 100$ ns (algo menos)
- $T_{AE} = 100$ ns
- $T_{CL} = T_{CE} = 200$ ns
- $T_m = 15$ ns
- *No consideraremos necesidad de refresco*



MP de Símplez: especificaciones temporales



♣ Direcccionamiento

- *Espacio de direccionamiento compartido (Símplez):*
La UCP pone «dir» en el bus A y genera **lec** o **esc**
- *Espacios de direccionamientos independientes (Algorítmez):* Tras «dir», genera **lec** o **esc** (acceso a la MP), o bien **ent** o **sal** (acceso a los puertos de e/s)

♣ Sincronización

- En Símplez, situación simplificada: dato disponible a los 100 ns de dar **lec**, o escrito a los 100 ns de dar **esc**
- En Algorítmez, situación real: el controlador avisa con una señal ⇒ necesidad de **protocolos**

Ruta de datos (con el secuenciador) de Símplez

